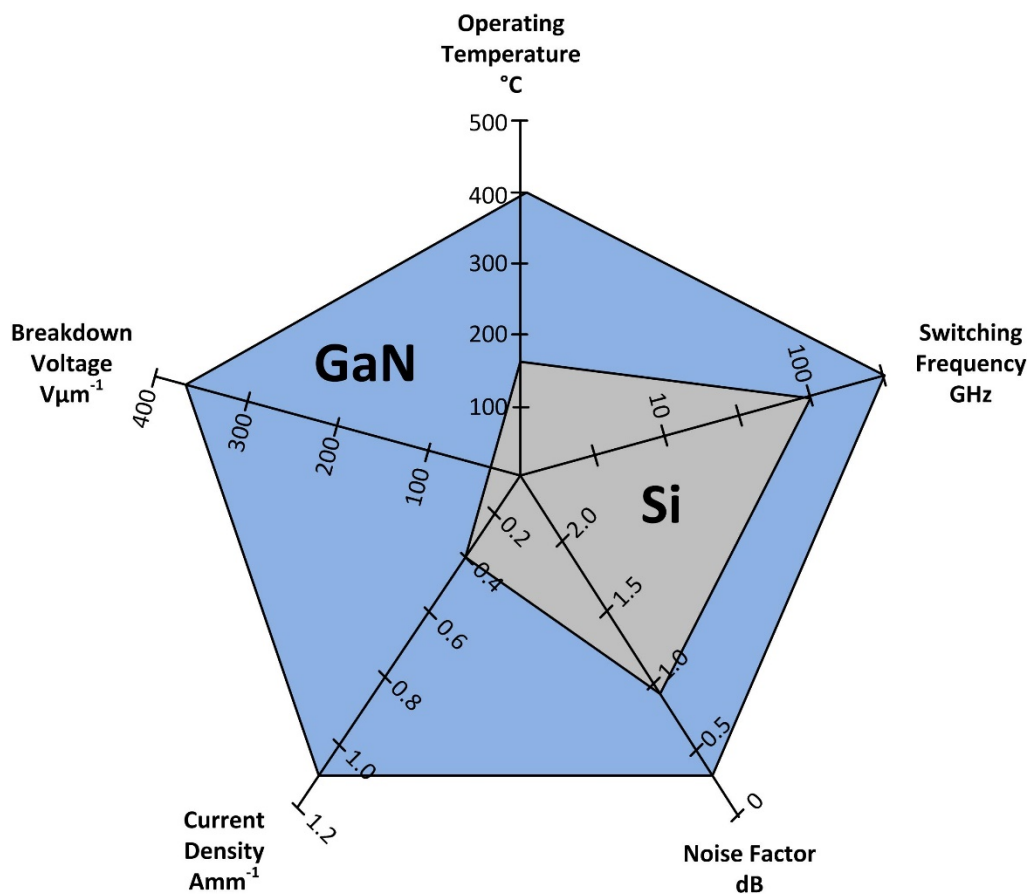




Whitepaper

DC/DC-Wandler für GaN-Gate-Treiber



Januar 2017

Inhaltsverzeichnis

Abbildungsverzeichnis	I
Einführung: Überlegungen zum GaN-Gate-Antrieb	II
Überlegungen zum GaN-Gate-Antrieb - Konstruktionsrichtlinien	III
Beispiel für Gate-Treiberschaltungen	VII
Anwendungsbeispiel: Isolierter Leistungsschalter	VII
Anwendungsbeispiel: Half-Bridge-Endstufe	VIII
Anwendungsbeispiel: Brückenloser PFC (Blindstromkompensation)	IX
Fazit:	X

Abbildungsverzeichnis

Abbildung 1: Schematischer Aufbau eines Enhancement Mode GaN-Transistors im AUS- und EIN-Zustand	II
Abbildung 2: Typische Gate-Treiber-Versorgungsspannungen für IGBT-, SiC- und GaN-Treiber	III
Abbildung 3: Steigungsregelung mit Gate-Widerständen	IV
Abbildung 4: Typische High-Side-Bootstrap-Versorgungsschaltung mit unerwünschten parasitären Induktivitäten	VI
Abbildung 5: Beispiel für einen isolierten GaN-Leistungsschalter	VIII
Abbildung 6: Beispiel einer vollständig isolierten GaN-Halbbrücken-Leistungsstufe	IX
Abbildung 7: Beispiel für eine brückenlose GaN/MOSFET-PFC-Gleichrichterkombination Stufe	X

Einführung: Überlegungen zum GaN-Gate-Antrieb

Gallium Nitrid (GaN)-Halbleiter sind Komponenten von High Electron Mobility Transistoren (HEMT), einer Klasse von Transistoren mit nahezu perfekten Schalteigenschaften. HEMT bedeutet, dass sich die Elektronen innerhalb der internen Kristallstruktur als zweidimensionales Elektronengas mit sehr hoher Mobilität bewegen, wodurch ein Gerät mit sehr hoher Leitfähigkeit und niedrigem RDS ON entsteht. Die Verwendung der GaN-Chemie erhöht die Durchbruchsspannung, was dazu führt, dass innerhalb des Transistors sehr dünne Schichten dicht beieinander positioniert werden können. Dadurch wird sowohl die Schaltgeschwindigkeit beschleunigt als auch die Gate-Kapazität reduziert.

Der Enhancement-Mode-Typ (E-HEMT) hat eine Verarmungszone unter dem Gate, die den Elektronenfluss blockiert und eine positive Gate-Spannung in Bezug auf den Source-Pin benötigt, um einzuschalten. Da die Verarmungszone unter dem Gate so dünn ist, wird sehr wenig injizierte Ladung benötigt, um den Transistor ein- und auszuschalten, so dass Schaltgeschwindigkeiten im MHz-Bereich möglich sind, ohne dass hohe Schaltverluste entstehen.

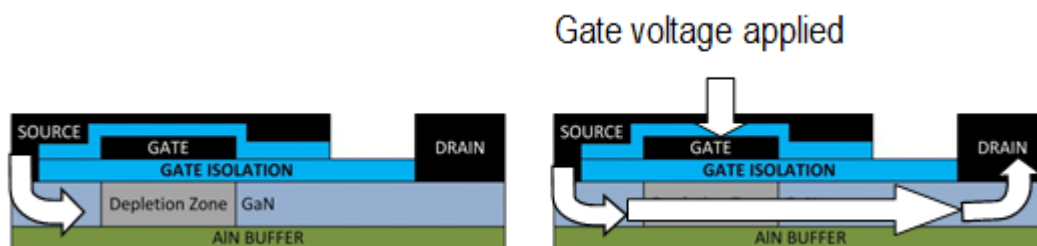


Abbildung 1: Schematischer Aufbau eines Enhancement Mode GaN-Transistors im AUS- und EIN-Zustand

Die extreme Dünnhheit der Gate-Isolationsschicht bedeutet, dass hohe Gate-Source-Spannungen einen internen Überschlag verursachen, obwohl das Material selbst eine hohe Durchbruchspannung aufweist. Ein GaN E-HEMT hat eine typische volle Anhebungsspannung von 7 V, wird aber beschädigt, wenn die VGS ± 10 V überschreitet, was viel niedriger ist als die Gate-Spannungen, die typischerweise in IGBT- oder SiC-Gate-Treibern verwendet werden. Aufgrund der extrem schnellen Anstiegs- und Abfallzeiten des kapazitätsarmen Gate-Kanals kann jede übermäßige Induktivität in der externen Gate-Ansteuerung zu Spannungsspitzen oder Rufspannung führen, was ein Überschreiten dieser Spannungsgrenzen zur Folge hat. Daher ist eine Gate-Treiberspannung von 6 V ein guter Kompromiss zwischen hoher Effizienz und dem Verbleib in einem sicheren Betriebsbereich.

IGBT- oder SiC-Gate-Treiberschaltungen schalten typischerweise auch mit einer negativen Gate-Treiberspannung ab. Dies beschleunigt die Ladungsentnahme aus der Gate-Kapazität und damit die Abschaltzeit. GaN-Transistoren haben eine so geringe Gate-Kapazität, dass eine negative Gate-Ansteuerung nicht notwendig ist. Eine Gate-Spannung von 0 V schaltet den HEMT innerhalb von Nanosekunden vollständig und zuverlässig ab. Nur wenn das Layout eine zu hohe Induktivität aufweist, würde ein negativer Gate-Treiber Schutz vor unbeabsichtigtem Einschalten durch Überschwingungen bieten. Da HEMTs jedoch keine Body-Diode wie MOSFETs haben und symmetrisch leitende Geräte sind, erhöht eine negative Gate-Spannung die Sperrleitungsverluste. Eine einseitige Gate-Treiberspannung von 6V-0V ist ideal. Abbildung 2 zeigt typische Gate-Treiberspannungen, die üblicherweise verwendet werden. Zum Vergleich werden auch typische Gate-Treiber-Versorgungsspannungen für IGBT und SiCs der 1. und 2. Generation gezeigt:

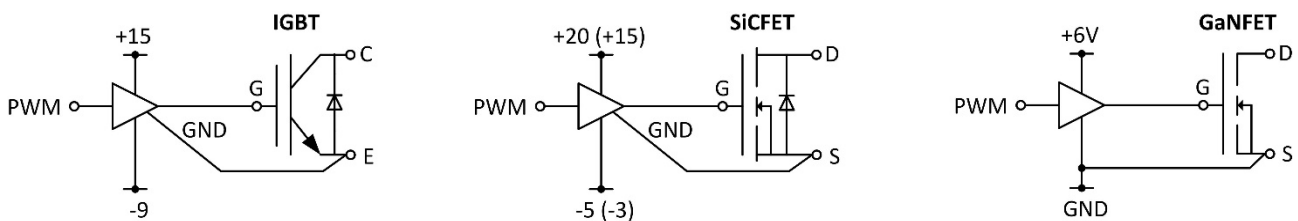


Abbildung 2: Typische Gate-Treiber-Versorgungsspannungen für IGBT-, SiC- und GaN-Treiber

Überlegungen zum GaN-Gate-Antrieb - Konstruktionsrichtlinien

1: Die meisten ultraschnellen Gate-Treiber-ICs verfügen über eine Under-Voltage-Lockout-Funktion (UVLO), die den Ausgang deaktiviert, wenn die Versorgungsspannung zu niedrig ist. Diejenigen Vorrichtungen, die für IGBT/SiC-Anwendungen gedacht sind, haben oft einen relativ hohen UVLO-Pegel, da sie für den Betrieb mit Versorgungsspannungen von bis zu 24 V ausgelegt sind. Es muss ein Gate-Treiber gewählt werden, der mit den viel niedrigeren Gate-Spannungen, die in GaN verwendet werden, kompatibel ist.

2: Der zum Laden und Entladen der Gate-Kapazität benötigte Strom hängt von der Gate-Kapazität und der Änderungsrate der Gate-Spannung ab. Obwohl die GaN-Gate-Kapazität recht niedrig ist, bedeutet hohes dv/dt , dass ein Gate-Treiber mit einer Stromtreiberfähigkeit von mindestens $\pm 0,5A$ (oder besser 1A-Sink) erforderlich ist. Dieser Spitzenstrom wird von einem Keramikkondensator geliefert, der so nah wie möglich an den Treiberpins montiert ist, so dass der durchschnittliche Versorgungsstrom viel niedriger (im Bereich von einigen

zehn Milliampere) sein wird. Der Gate-Treiber-Sink-Antrieb sollte niederohmig sein ($<2\ \Omega$), um die Möglichkeit einer Querleitung zu verringern (siehe nächsten Kommentar).

3: Ein ultraschnelles Gate-Drive-Design ist anfällig für unerwünschtes Einschalten (Querleitung) aufgrund parasitärer Gate-Treiber-Induktivitäten, die mit dem hohen Miller-Kapazitäts-Entladestrom interagieren und so eine Schwingung erzeugen, die die Gate-Spannung kurzzeitig wieder hoch schicken könnte. Die Anstiegsgeschwindigkeiten sollte durch einen dv/dt -Widerstand begrenzt werden, um die Möglichkeit dieses Effekts zu verringern. Ein Einschalt-Gate-Widerstand im Bereich von $10\text{-}20\ \Omega$ ergibt typischerweise eine Anstiegsgeschwindigkeit von $80\text{-}40\text{ kV}/\mu\text{s}$. Der Ausschaltwiderstand sollte niedriger sein, um die Ausschaltverluste zu reduzieren. Eine Schottky-Diode mit einem Widerstand parallel zum Gate-Widerstand kann verwendet werden, um die Ein- und Ausschalt-Flankensteilheit für einen einzelnen Ausgangstreiber unabhängig zu steuern (Abbildung 3)

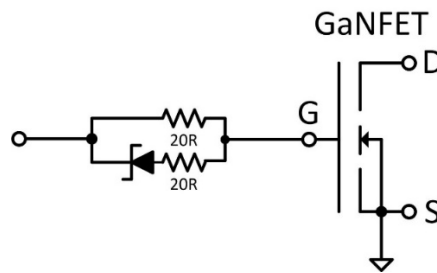


Abbildung 3: Steigungsregelung mit Gate-Widerständen

4: High-Side-Gate-Treiber werden häufig mit einer Bootstrap-Stromversorgungsschaltung implementiert (Abbildung 4). Obwohl dies bedeutet, dass dieselbe isolierte Stromversorgung sowohl für High-Side- als auch für Low-Side-Treiber verwendet werden kann, hat sie einige inhärente Schwächen.

Die Bootstrap-Diode muss eine ultraschnelle Erholungseigenschaft haben. Wenn sie nicht so schnell wie der GaN-Transistor abschalten kann, fließt ein Rückstrom zurück in die VDD-Versorgung. Diese Stromspitzen beeinträchtigen nicht nur die Lebensdauer der Diode, sondern die daraus resultierenden Hochfrequenzstörungen auf der Versorgungsschiene führen zu einer Beeinträchtigung der EMV-Konformität.

Die Bootstrap-Versorgungsspannung des Gate-Treibers ist abhängig von der Differenz zwischen der VDD-Versorgung und der kapazitiv gekoppelten Ausgangsspannung

(Schaltknoten). Das bedeutet, dass die Spannung über dem Bootstrap-Kondensator während des Betriebs um mehr als $\pm 20\%$ schwanken kann.

Es entsteht ein Spannungsabfall über der Hochspannungs-Bootstrap-Diode von ca. 0,8-1,0 V, was bedeutet, dass eine Versorgungsspannung von 7 V erforderlich ist, um die erforderliche VDDH-Spannung von 6 V zu erreichen. Die Schaltspannung kann jedoch während des Durchlassens bis zu +0,5 V betragen, was bedeutet, dass die effektive Gate-Treiber-Versorgungsspannung nur 5,5 V beträgt. Wenn die Gate-Treiber-Versorgungsspannung zu niedrig ist, wird der GaN-HEMT nicht vollständig verstärkt und die Leitungsverluste sind höher. Diese Bedingung ist besonders kritisch im Burst-Modus oder für den ersten Impuls nach dem Einschalten, wenn der Bootstrap-Kondensator aufgrund des schmalen ersten Impulses möglicherweise nicht vollständig geladen ist.

Es ist jedoch nicht ratsam, die Versorgungsspannung auf 7,5V zu erhöhen, um eine minimale VDDH-Spannung von 6V zu gewährleisten, da die Schaltknotenspannung bei Rückleitung bis zu -2,5V unter Masse springen kann, was bedeutet, dass die effektive Bootstrap-Spannung $+6,5V + 2,5V = 9V$ wird. Damit nähert sich die effektive Bootstrap-Spannung $+6,5V + 2,5V = 9V$. Dies ist an der maximalen Gate-Spannung von 10 V gefährlich nahe. Die Wechselwirkung mit dem Laststrom und den parasitären Induktivitäten kann zusätzlich dazu führen, dass am Schaltknoten durch hohe di/dt -Übergänge negativ verlaufende Spikes erzeugt werden, wodurch Betriebsbedingungen entstehen, bei denen die Bootstrap-Spannung 10V übersteigt, wenn diese Transienten ebenfalls berücksichtigt werden.

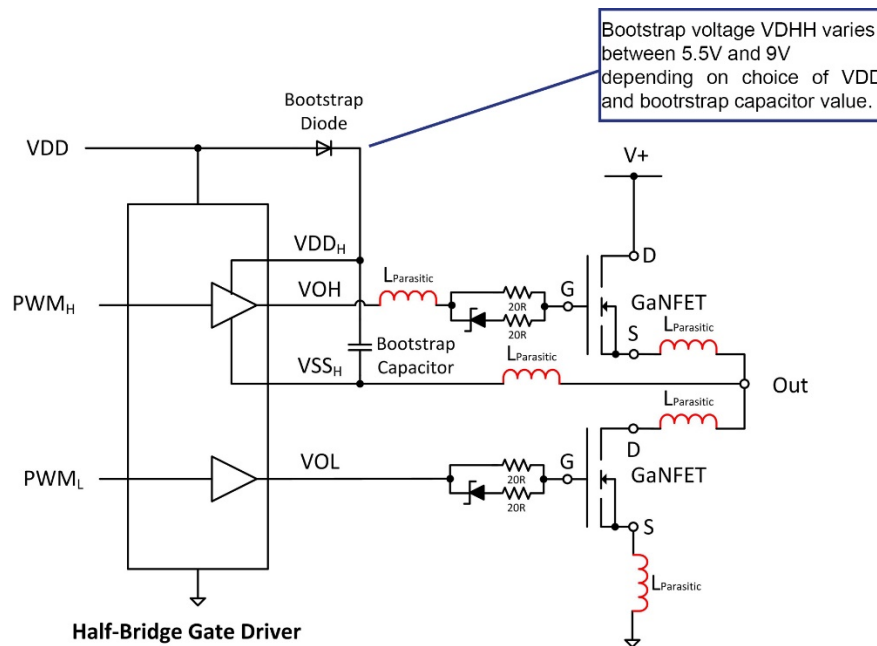


Abbildung 4: Typische High-Side-Bootstrap-Versorgungsschaltung mit unerwünschten parasitären Induktivitäten

Eine zuverlässigere Lösung ist die Verwendung einer separaten, galvanisch getrennten Versorgung für den High-Side-Gate-Treiber. Dadurch wird eine stabile Gate-Spannung unabhängig von den Betriebsbedingungen gewährleistet.

5: Gate-Treiber-Induktivitäten können durch gutes Design minimiert werden, aber es ist schwieriger, die parasitären Induktivitäten der Leistungsmasse zu kontrollieren, da die Layout-Möglichkeiten für Hochstrompfade eingeschränkter sind. Obwohl ein Low-Side-Schaltkreis eine gemeinsame Leistungsmasse und Gate-Treiber-Masse hat, führen jegliche parasitäre Layout-Induktivitäten unter hohen di/dt -Bedingungen zu Ground Bounce. Aus Gründen der Betriebssicherheit ist es daher ratsam, sowohl die Low-Side-Treiber als auch die High-Side-Treiber galvanisch zu trennen. Wenn die Gate-Treiber isoliert sind, kann der Einfluss der Layout-Leistungserdungsinduktivitäten eliminiert werden, indem die Gate-Treiber-Masse direkt mit dem Source-Anschluss des Transistors verbunden wird (oder mit dem Kelvin-Anschluss, wenn dies im Transistorgehäuse unterstützt wird).

6. Der PWM-Isolator und der galvanisch getrennte DC/DC-Wandler sollten eine geringe Isolationskapazität haben. Die hohen dv/dt -Anstiegsgeschwindigkeiten und Schaltfrequenzen, die mit GaN-Bauteilen möglich sind, belasten die Isolationsbarriere, selbst wenn die absoluten Spannungsschwankungen weit innerhalb der Spannungsnennwerte der Komponenten liegen. Für Anwendungen mit hohem dv/dt sollte

die Isolationskapazität $<4\text{pF}$ für den PWM-Isolator und $<10\text{pF}$ für den High-Side-DC/DC-Wandler betragen. Wird auch auf der Low-Side ein DC/DC-Wandler verwendet, um Ground Bounce Störungen zu eliminieren, dann ist die Isolationskapazität nicht so kritisch; eine Isolationskapazität von $<100\text{pF}$ ist jedoch wünschenswert.

Beispiel für Gate-Treiberschaltungen

Hinweis: RECOM kann keine Verantwortung für die folgenden Schaltungsbeispiele übernehmen, die möglicherweise unvollständig sind. Sie werden jedoch nach bestem Wissen und Gewissen auf der Grundlage unserer Kenntnisse über das Design von Hochgeschwindigkeitstreibern dargestellt. Das PCB-Layout ist absolut entscheidend. Die Auswirkungen von Streukapazitäten und parasitären Induktivitäten können die Leistung des Designs erheblich beeinflussen. Wie bei allen Hochspannungsdesigns ist auf ausreichende Sicherheitsmaßnahmen und angemessenen Fehlerschutz zu achten.

Anwendungsbeispiel: Isolierter Leistungsschalter

Dieses vollständig isolierte Design verwendet einen DC/DC-Wandler und einen digitalen Isolator, um eine Gate-Treiberschaltung für einen GaN-HEMT zu erstellen, die als Boost-Wandler, Buck-Wandler oder Buck/Boost-Wandler-Schaltelement verwendet werden kann. Die einkanalige digitale Isolator-Ausgangsstufe wird von einem Low-Power-LDO-Regler versorgt, der mit der 6-V-Gate-Treiberversorgung verbunden ist. Der Hochgeschwindigkeitstreiber UCC27322 kann bis zu $\pm 9\text{A}$ Spitzenstrom liefern und der Schmitttrigger-Eingang schaltet sauber vom 5V-Ausgang des digitalen Isolators. Eine Totzeitverzögerung kann mit einem einfachen RC-Filter realisiert werden. Der Überspannungsschutz (OVP) der Versorgung wird durch eine Zener-Diode gewährleistet.

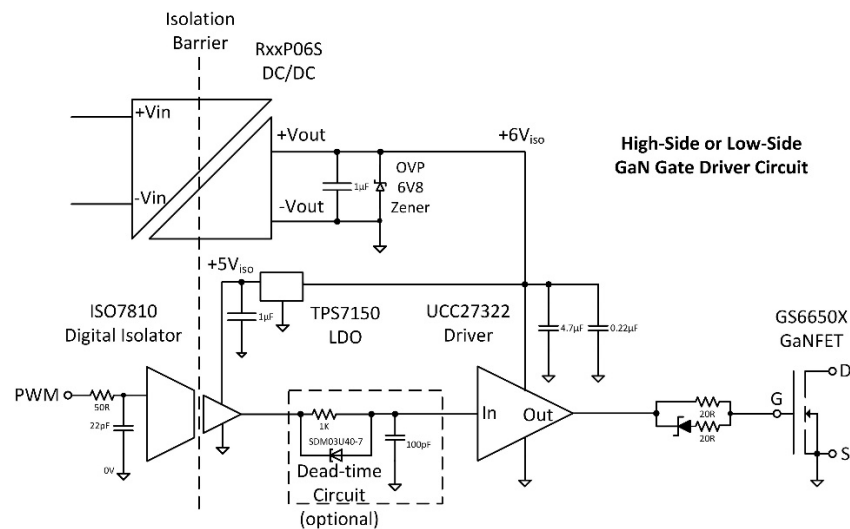


Abbildung 5: Beispiel für einen isolierten GaN-Leistungsschalter

Anwendungsbeispiel: Half-Bridge-Endstufe

Dieses vollständig isolierte Design verwendet zwei DC/DC-Wandler und einen digitalen Zweikanal-Isolator, um eine Halbbrücken-Gate-Treiberschaltung für einen GaN-HEMT zu erstellen, die in einer Wechselrichter-, Leistungswandler- oder Motorsteuerungsanwendung eingesetzt werden kann. Der Zweikanal-Digitalisolator enthält eine eingebaute Überlappungsschutzschaltung mit einer über einen Widerstand programmierbaren Totzeitsteuerung. Die High-Side- und Low-Side-Treiber sind unabhängig voneinander sowohl vom Eingang als auch voneinander isoliert, wodurch ein Durchschleifen von einer Leistungsstufe zur anderen vermieden wird.

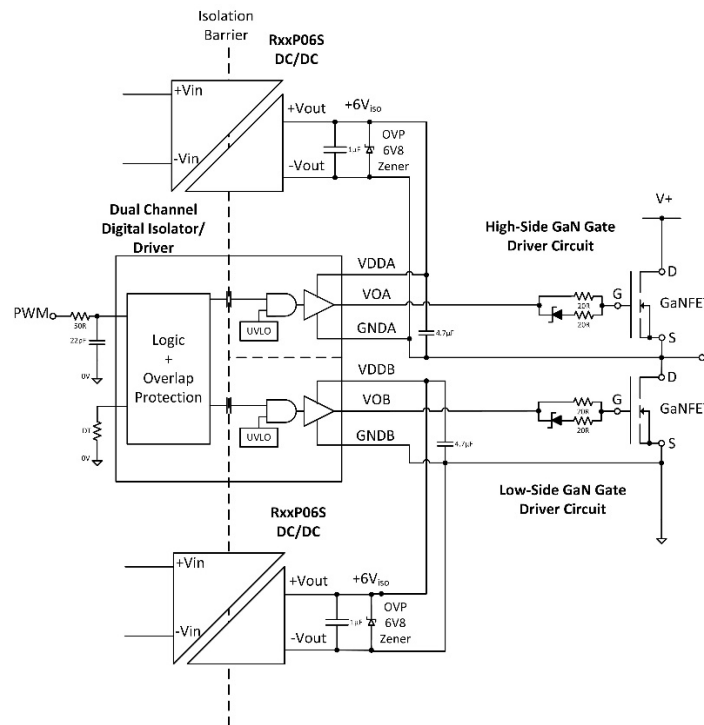


Abbildung 6: Beispiel einer vollständig isolierten GaN-Halbbrücken-Leistungsstufe

Anwendungsbeispiel: Brückenloser PFC (Blindstromkompensation)

Diese brückenlose Totempfahl-PFC-Schaltung verwendet zwei Halbbrücken-Leistungsstufen, um den Brückengleichrichter und den PFC-Schalter zu ersetzen, die normalerweise bei wechselstrombetriebenen Anwendungen erforderlich sind. Der Synchrongleichrichter besteht aus zwei Silizium-MOSFETs, die abwechselnd mit einem Tastverhältnis von 50 % bei 50/60 Hz im Takt des AC-Netzeingangs geschaltet werden. Dadurch wird ein gleichgerichteter Ausgang erzeugt, ohne dass ein Eingangs-Brückengleichrichter erforderlich ist. Die PFC-Halbbrückenschaltung läuft mit einem PWM-Signal mit höherer Frequenz und variablem Tastverhältnis, um die Leistungsfaktorkorrekturfunktion unter Verwendung verlustarmer GaN-Transistoren auszuführen. Solche Designs können einen Wirkungsgrad von bis zu 99 % liefern, da es keine Leistungsdiodenverluste gibt.

Durch die geringe Anzahl an Bauteilen können die Gate-Treiber-Komponenten näher beieinander platziert werden und parasitäre Induktivitäten und Streukapazitäten können minimiert werden. Zwei RP-1506S-Wandler und ein digitaler Zweikanal-Isolator werden verwendet, um die vollständig isolierte Hochgeschwindigkeits-GaN-Gate-Halbbrücken-Treiberschaltung für die Hochfrequenz-PFC-Schaltung zu erstellen. Die AC-Synchrongleichrichtungs-Halbbrücke läuft mit der niedrigeren Frequenz von 50Hz oder

60Hz, so dass kostengünstige MOSFETs verwendet werden können, ohne dass der Gesamtwirkungsgrad oder die Leistung beeinträchtigt werden. Alle isolierten Gate-Treiber werden von RP-15xxS DC/DC-Wandlern versorgt. Die RP-Serie bietet eine hohe Isolation von 5,2kVDC und eine niedrige Isolationskapazität von <10pF, so dass sie ideal für solche Anwendungen sind. Der Low-Side-MOSFET-Gate-Treiber kann direkt aus dem 15V-Bordnetz versorgt werden, um Kosten zu sparen, da keine Isolierung erforderlich ist.

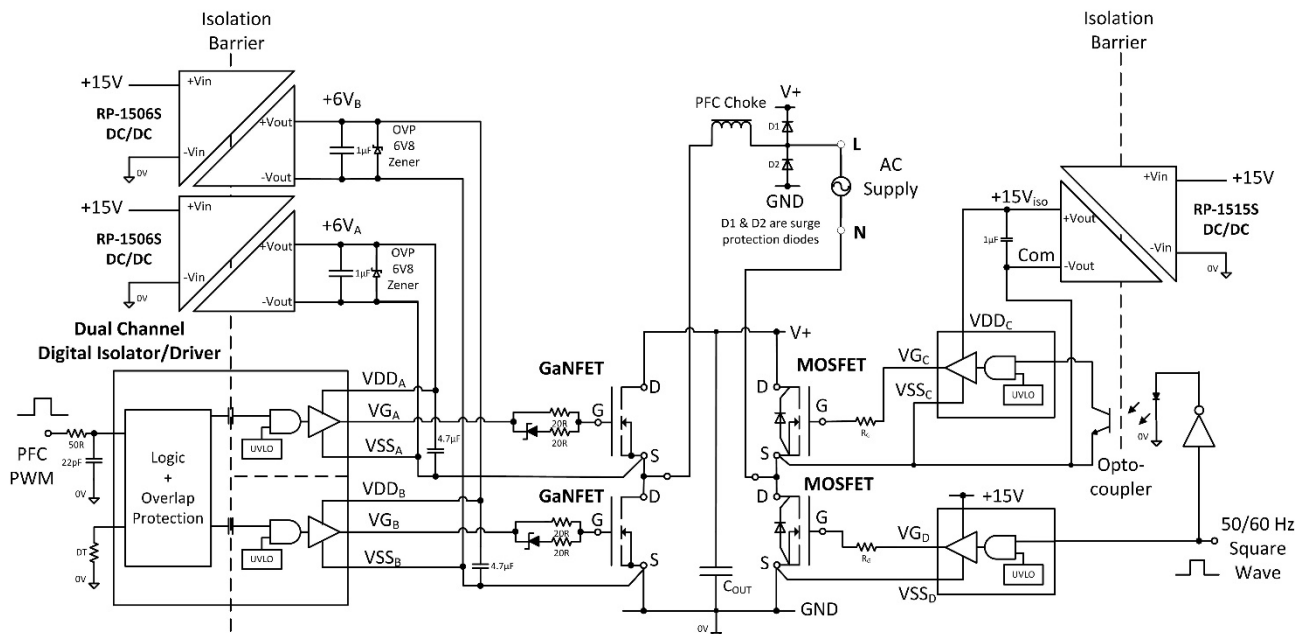


Abbildung 7: Beispiel für eine brückenlose GaN/MOSFET-PFC-Gleichrichterkombination Stufe

Fazit:

Die GaN-HEMT-Technologie eröffnet neue Möglichkeiten für die Leistungselektronik und verspricht ein nahezu perfektes Schaltverhalten mit höherem Wirkungsgrad und höheren Schaltgeschwindigkeiten. Wie bei allen Hochfrequenz-Designs sind jedoch das PCB-Layout und das Management der parasitären Elemente entscheidend für eine gute Leistung. Die Verwendung von DC/DC-Wandlern mit geringer Isolationskapazität für die isolierte Stromversorgung der Gate-Treiberschaltungen vereinfacht das Design und kann einige der Fehlerursachen in GaN-Anwendungen mit hohem dv/dt und di/dt beseitigen.

Steve Roberts

Innovationsmanager, RECOM Power